

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-053429

(43)Date of publication of application : 01.03.1989

(51)Int.Cl.

H01L 21/66

G01R 31/26

G01R 31/28

(21)Application number : 62-210922

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 24.08.1987

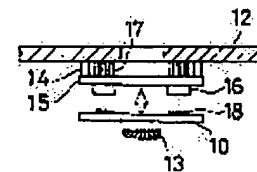
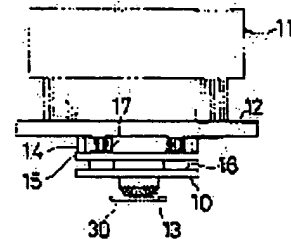
(72)Inventor : SUDA ATSUKO

(54) DEVICE FOR TESTING SEMICONDUCTOR CHIP

(57)Abstract:

PURPOSE: To enable the title test device to be repaired and modified by separately assembling the probe groups of a probe card and the circuit pattern groups of a performance board for use or separating them as a unit in a manner that both groups are separably connected through the intermediary of connectors.

CONSTITUTION: Probes are arranged on the rear side of a probe card while circuit patterns 14 corresponding to the probes 13 are formed on the rear side of a performance board 12. Besides, a connector board 15 is fixed on the rear side of the performance board 12 to provide connectors 16 arranged taking regular polygonal shape on the rear side of the connector board 15. The connectors 16 are connected to the circuit patterns 14 of the performance board 12 through the intermediary of a flat cable 17. On the other hand, pogo pins 18 connected to the probes 13 are implanted in the upper surface of the probe card 10 so that the probe card 10 and the performance board 12 may be integrated with each other by inserting the polygonal pins 18 into the corresponding connectors 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-53429

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月1日

H 01 L 21/66
G 01 R 31/26
31/28

B-6851-5F
J-7359-2G
K-6912-2G

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体チップのテスト装置

⑯ 特 願 昭62-210922

⑰ 出 願 昭62(1987)8月24日

⑱ 発 明 者 須 田 篤 子 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体チップのテスト装置

2. 特許請求の範囲

(1) ブローブカードの下面に配設された接触針群と、

ブローブカードの上部に配置されるパフォーマンスボードに形成された回路パターン群とが、互いにコネクタを介して分離可能に接続されたことを特徴とする半導体チップのテスト装置。

(2) 前記コネクタが、前記ブローブカードおよびパフォーマンスボードのほぼ中心位置を囲む正多角形状に配列されている前記特許請求の範囲第(1)項記載の半導体チップのテスト装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体チップの動作性能をテストする際に用いられるテスト装置に関する。

(従来の技術)

従来から、この種のテスト装置として、第4図

に示すように、ブローブカード20と、その上側に配置されたパフォーマンスボード21とが一体的に構成されてなるものが知られており、このブローブカード20の下面には試料となる半導体チップ30の有する端子パッドと対応する多数の接触針(以下、ブローブという)22、…群が配設されている。

一方、パフォーマンスボード21には前記ブローブ22、…と対応する所定の接続用回路パターン(図示していない)が形成されている。そして、対応する接続用回路パターンとブローブ22、…のそれぞれとは単線もしくは同軸ケーブル23、…を介して接続され、これらのケーブル23、…の両端は半田付けによって固着されている。

なお、図における符号24はテスト用回路パターンが形成された半導体テスト装置、いわゆるテスターであって、このテスター24と前記パフォーマンスボード21とは互いに図示していないコネクタを介して電氣的に接続されている。

(発明が解決しようとする問題点)

ところで、前記テスト装置においては、ブロー

ブカード20とパフォーマンスボード21とが一体的に構成されているので、両者を別々に使用することができず、しかも、ブローブカード20およびパフォーマンスボード21のそれぞれを個別に修理したり、改造したりすることができないという問題点があった。また、ブローブカード20とパフォーマンスボード21とを接続する導線もしくは同軸ケーブル23、…の両端が半田付けによって固着されているので、これらのケーブル長が長くなり、良好な高周波特性を得ることが難しいという不都合もあった。

本発明は、以上のような問題点を解消することができる半導体チップのテスト装置の提供を目的としている。

(問題点を解決するための手段)

本発明は、上記目的を達成するために創案されたものであって、ブローブカードの下面に配設された接触針群と、ブローブカードの上部に配置されるパフォーマンスボードに形成された回路パターン群とを、互いにコネクタを介して分離可能に

ブローブ13、…群が配設される一方、パフォーマンスボード12には前記ブローブ13、…と対応する回路パターン(図示していない)および他のテストターへの接続用外付け回路パターン(図示していない)が形成されている。また、このパフォーマンスボード12の下側にはスチー14、…を介してコネクタボード15が固設されており、このコネクタボード15の下面には、第2図および第3図に示すように、そのほぼ中心位置を囲んで正多角形状(図では、正八角形状)に配列されたコネクタ16、…が互いに離間して設けられている。

そして、これらのコネクタ16、…は、フラットケーブル17、…を介してパフォーマンスボード12の回路パターンと互いに接続されている。なお、これらのコネクタ16、…の配列形状については、正多角形状に限定されるものではなく、例えば、環状というような任意形状に配列することも可能である。しかし、通常、前記テストター11とパフォーマンスボード12とを接続するコネクタ(図示していない)が正多角形状に配列されていることが

接続した構成に特徴を有している。

(作用)

上記構成によれば、テスト装置を構成するブローブカードとパフォーマンスボードとが、互いにコネクタを介して容易に接続もしくは分離されるので、両者を別々に組み合わせて使用したり、修理や改造を行うことができる。また、同時に、ブローブカードのブローブとパフォーマンスボードの回路パターンとを接続するケーブルの長さが短縮化され、高周波特性の向上を図ることができる。

(実施例)

以下、本発明の一実施例を図面に基づいて詳細に説明する。

第1図は半導体チップのテスト装置を示す概略構成図であって、このテスト装置はブローブカード10と、テストター11とを備え、これらの間には両者の中継体となるパフォーマンスボード12が配置されている。

ブローブカード10の下面中央部には、試料となる半導体チップ30の端子パッドに対応する多数の

多いので、これらのコネクタと同一形状に配列されている方が好ましく、また、正多角形状に配列している方がコネクタボード15の歪みが少なくなるとともに、フラットケーブル17、…の長さを均一化し易いという利点がある。

一方、ブローブカード10の上面には、ブローブ13、…と接続されたボゴピン18、…が前記コネクタ16、…に対応する所定数ごとに植設されている。そして、これらのボゴピン18、…を互いに対応するコネクタ16、…に差し込むことによって、第1図に示すように、ブローブカード10とパフォーマンスボード11とが一体化され、ブローブカード10のブローブ13、…とテストター11のテスト用回路パターンとの間でのテスト信号もしくは検出信号のやり取りが行われることになる。

なお、以上の説明においては、ブローブカード10側にボゴピン18、…を配設する一方、パフォーマンスボード12側にコネクタ16、…を配設するものとして説明したが、これに限定されるものではなく、コネクタ16、…とボゴピン18、…とを逆に

配設するようにしてもよいことはいふまでもない。
また、パフォーマンスボード12とコネクタボード15とはステー14、…を介して一体化されたものとしているが、両者が直接的に図設されていてもよい。

〔発明の効果〕

以上説明したように、本発明に係る半導体チップのテスト装置においては、コネクタを介してプローブカードとパフォーマンスボードとを接続分離可能に構成しているので、両者を別々に組み合わせて使用したり、分離して両者を単体としたうえで修理や改造を容易に行うことができる。このことにより、異なる配列とされたプローブを備え、かつ共通仕様のコネクタを有する複数のプローブカードを用意して共通のパフォーマンスボードに付け替えたり、互いに異なる回路パターンが形成された複数のパフォーマンスボードを用意してこれに接続されるプローブカードを交換したりすることによって、互いに異なる動作特性を有する複数種類の半導体チップを容易にテストすることが

できることになる。

また、従来例のように、プローブカードとパフォーマンスボードとを両端固定の長い配線ケーブルで接続する必要がなく、パフォーマンスボード側のみの片方配線で済むので、配線ケーブルの長さが短縮化され、高周波特性の向上を図ることができるという効果もある。

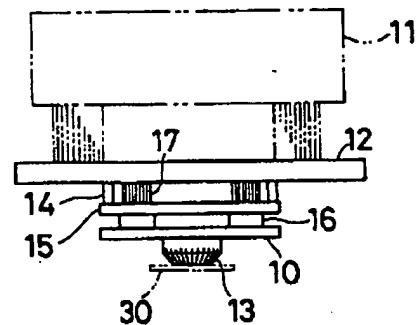
4. 図面の簡単な説明

第1図ないし第3図は本発明の実施例に係り、第1図は半導体チップのテスト装置を示す概略構成図、第2図はその分解状態を示す構成図、第3図はその要部斜視図である。また、第4図は、従来例としてのテスト装置を示す概略構成図である。

図において、10はプローブカード、12はパフォーマンスボード、13はプローブ（接触針）、16はコネクタ、30は半導体チップである。

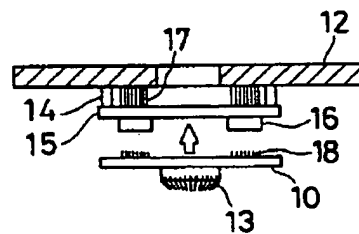
代理人 大岩 増雄

第 1 図



- 10: プローブカード
- 12: パフォーマンスボード
- 13: プローブ（接触針）
- 16: コネクタ
- 30: 半導体チップ

第 2 図



手続補正書 (自発)

昭和63年2月1日

特許庁長官 殿

1. 事件の表示
昭和62年特許願第210922号

2. 発明の名称
半導体チップのテスト装置

3. 補正をする者
事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601) 三菱電機株式会社
代表者 志岐 守哉

4. 代 理 人
住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁理士 大岩 増雄
(連絡先 03(213)3421 特許部)

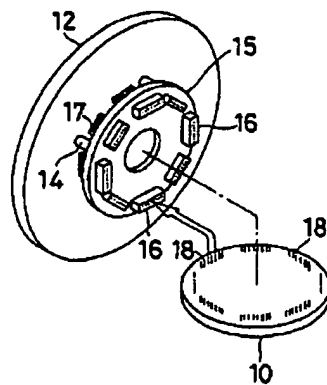
5. 補正命令の日付 自発補正

6. 補正により増加する発明の数 なし

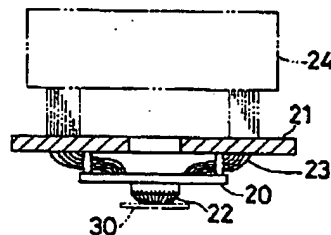
7. 補正の対象

明細書の「発明の詳細な説明」の欄

第 3 図



第 4 図



8. 補正の内容

(1) 明細書第6頁第11～12行の「パフォーマンスボード11」を「パフォーマンスボード12」に訂正する。

(2) 同第7頁第12行～第8頁第1行の「このことにより、…できることになる。」を「なお、上記プローブカードを半導体デバイスの仕様に合わせたソケットとすることにより、上記パフォーマンスボードを用いて半導体デバイスのテスト装置として共用することも可能である。」に訂正する。